

PATENT
81710.0255
Express Mail Label No. EV 325 216 902 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Hirofumi NAMIKAWA et al.

Serial No: Not assigned

Filed: July 21, 2003

For: COLOR IMAGE PROCESSING DEVICE AND
COLOR IMAGE PROCESSING METHOD

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

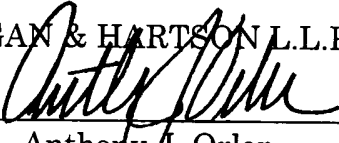
Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-228313 which was filed August 6, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: July 21, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 6日

出 願 番 号

Application Number:

特願2002-228313

[ST.10/C]:

[JP2002-228313]

出 願 人

Applicant(s):

村田機械株式会社

2002年12月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3100424

【書類名】 特許願

【整理番号】 M02086

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/04

【発明者】

【住所又は居所】 京都市伏見区竹田向代町 1 3 6 番地 村田機械株式会社
本社工場内

【氏名】 並川 浩史

【発明者】

【住所又は居所】 京都市伏見区竹田向代町 1 3 6 番地 村田機械株式会社
本社工場内

【氏名】 南野 勝巳

【特許出願人】

【識別番号】 000006297

【氏名又は名称】 村田機械株式会社

【代表者】 村田 純一

【代理人】

【識別番号】 100084962

【弁理士】

【氏名又は名称】 中村 茂信

【手数料の表示】

【予納台帳番号】 016506

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0005907

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カラー画像処理装置

【特許請求の範囲】

【請求項 1】

所定間隔 L をおいて並設された n 本のラインセンサと、ラインセンサから一定周期で画像データを出力させる画像データ出力部と、画像データを複数ライン分記憶し、遅延させて出力させるライン補正メモリとを備え、前記一定周期はライン補正メモリからの画像データ出力周期の所定倍であり、いずれの周期の画像データをライン補正メモリに入力し、何ライン分遅延させて画像データをライン補正メモリから出力するかを制御することにより、所定の変倍率 N を実現する制御部とを備えたことを特徴とするカラー画像処理装置。

【請求項 2】

等倍読み取り時の副走査方向の画素ピッチを P とし、変倍率により増減する画素数を $N \cdot L / P$ により計算し、その値の小数部 d によりいずれの周期を選択するかを決定し、整数部 D により遅延ライン数を決定することを特徴とする請求項 1 記載のカラー画像処理装置。

【請求項 3】

前記小数部 d と選択される周期とのテーブルを有することを特徴とする請求項 2 記載のカラー画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、カラスキャナ等のカラー画像処理装置に関する。

【0002】

【従来の技術】

近年、カラスキャナには、R、G、Bのそれぞれの色について、CCDで構成されるラインイメージセンサを副走査方向に少しずつずらして並列に設けたものがある。この種のカラスキャナは、各色のラインイメージセンサが並列に設けられているので、物理的に原稿上の同一ラインをそれぞれの色が同時に読み取

ることができない。そこで従来、画像データを遅延させるライン補正メモリを設け、拡大、縮小率に応じた遅延量において、ライン補正メモリより画像データを取り出し、同じ原稿上のラインを読んだ R、G、B の画像データを揃えるようにしている（特許第 2 5 7 8 4 4 8 号）。しかし、拡大・縮小率によっては、ラインの遅延量のみでは対応できない。そこで、それに合わせて主走査の開始タイミングを変える技術が提案されている（特許第 2 6 5 6 0 2 6 号）。

【 0 0 0 3 】

【発明が解決しようとする課題】

上記したように、ラインの遅延量の可変のみならず、主走査の開始タイミングも変える技術を採用すれば、種々の拡大・縮小率にも対応できるが、回路が非常に複雑になるという問題がある。

【 0 0 0 4 】

この発明は上記問題点に着目してなされたものであって、回路規模を拡大させることなく、つまり低コストで所定の変倍率を達成できるカラー画像処理装置を提供することを目的としている。

【 0 0 0 5 】

【課題を解決するための手段】

この発明のカラー画像処理装置は、所定間隔 L をおいて並設された n 本のラインセンサ（ラインイメージセンサ）と、ラインセンサから一定周期で画像データを出力させる画像データ出力部と、画像データを複数ライン分記憶し、遅延させて出力させるライン補正メモリとを備え、前記一定周期はライン補正メモリからの画像データ出力周期の所定倍であり、いずれの周期の画像データをライン補正メモリに入力し、何ライン分遅延させて画像データをライン補正メモリから出力するかを制御することにより、所定の変倍率 N を実現する制御部とを備えている。

【 0 0 0 6 】

このカラー画像処理装置において、等倍読み取り時の副走査方向の画素ピッチを P とし、変倍率により増減する画素数を $N \cdot L / P$ により計算し、その値の小数部 d によりいずれの周期を選択するかを決定し、整数部 D により遅延ライン数

を決定することができる。

【0007】

また、このカラー画像処理装置において、前記小数部dと選択される周期とのテーブルを有すると良い。

【0008】

【発明の実施の形態】

以下、実施の形態により、この発明をさらに詳細に説明する。図1は、この発明の一実施形態であるカラー画像読取装置の要部を示すブロック図である。この実施形態カラー画像読取装置は、B信号処理部1Bと、G信号処理部1Gと、R信号処理部1Rと、制御部7とを備えている。

【0009】

B信号処理部1Bは、ラインイメージセンサ2Bと、アナログフロントエンド(AFE)回路3Bと、シェーディング補正回路4Bと、シェーディングRAM5Bと、ライン補正メモリ6Bとを備えている。また、G信号処理部1Gは、ラインイメージセンサ2Gと、アナログフロントエンド回路3Gと、シェーディング補正回路4Gと、シェーディングRAM5Gと、ライン補正メモリ6Gとを備えている。また、R信号処理部1Rも、B信号処理部1G、G信号処理部1Gと同様の回路、つまりラインイメージセンサ2R、アナログフロントエンド回路3R、シェーディング補正回路4R、シェーディングRAM5R、ライン補正メモリ6Rを有する。

【0010】

ラインイメージセンサ2Bは、図2に示すタイミング信号TSが加えられる毎に、カラー原稿の1走査線の画像のB信号を分離して読み取る。このラインイメージセンサ2Bは、図2に示す読み取りタイミング信号TSの周期を3分割したSH1、SH2、SH3毎に駆動され、読み取られた1ラインの画像データを出力する。アナログフロントエンド回路3Bは、ラインイメージセンサ2Bの出力を受けて、アナログ増幅するとともに、デジタルデータに変換し、多値化出力する。なお、この実施の形態では、タイミング信号の周期を3分割した例を示しているが、分割数は3に限定されるものではなく、適宜変更可能である。

【 0 0 1 1 】

シェーディング R A M 5 B は、白基準及び黒基準を読み取った場合のアナログフロントエンド回路 3 B の出力をシェーディング補正用に記憶してある。シェーディング補正回路 4 B は、原稿読み取り時のアナログフロントエンド回路 3 B の出力を、シェーディング R A M 5 B に記憶してあるシェーディング補正データにより、シェーディング補正し、出力する。シェーディング補正回路 4 B の出力は、ライン補正メモリ 6 B に、制御部 7 からの書き込み信号 W E によって記憶され、順次出力される。

【 0 0 1 2 】

この書き込み信号 W E は、図 2 に示した読取タイミング信号 T S の周期を 3 分割した S H 1、S H 2、S H 3 のいずれかの周期に入力される。タイミング S H 1、S H 2、S H 3 のいずれを選択するかは制御部 7 において変倍率に応じて算出される値より決められる。

【 0 0 1 3 】

図 4 にラインイメージセンサ 2 B を基準とし、S H 1 から更に S H 2、S H 3、S H 1' と選択タイミングが経過して行く状態を示している。

【 0 0 1 4 】

ラインイメージセンサ 2 G は、タイミング信号 T S が加えられる毎にカラー原稿の 1 走査線の画像の G 信号を分離して読み取る。ラインイメージセンサ 2 R は、タイミング信号 T S が加えられる毎にカラー原稿の 1 走査線の画像の R 信号を分離して読み取る。ラインイメージセンサ 2 G、2 R も、タイミング S H 1、S H 2、S H 3 毎に駆動され、読み取られた 1 ラインの画像データを出力する。アナログフロントエンド回路 3 G・3 R、シェーディング補正回路 4 G・4 R、シェーディング R A M 5 G・5 R、ライン補正メモリ 6 G・6 R、は、それぞれアナログフロントエンド回路 4 B、シェーディング補正回路 4 B、シェーディング R A M 5 B、ライン補正メモリ 6 B と同様の回路である。最も、ライン補正メモリ 6 G、6 R の書き込み信号 W E の出力タイミングは、制御部 7 において、それぞれの変倍率に基づいて決められる。

【 0 0 1 5 】

ライン補正メモリ 6 B、6 G、6 R は、ラインイメージセンサ 2 B、2 G、2 R の位置ずれを補正するための遅延量と、変倍率による副走査位置補正値を考慮したタイミングにデータを出力する。

【 0 0 1 6 】

この実施形態カラー画像読取装置において行うラインイメージセンサ 2 B、2 G、2 R のライン補正及び副走査位置補正について説明する。図 3 に、その概念図を示している。

【 0 0 1 7 】

このライン補正及び副走査位置補正を行うために、先ず、変倍率により増減する画素数 $N * m$ を求める。

【 0 0 1 8 】

ただし、 N : 変倍率 ($= 1 / \text{変倍時の移動距離}$)

$m := L / P$

L : R - B 間の距離 (R - B 間の Gap ライン数)

P : 等倍時の副走査方向の画素ピッチ (1 ライン)

T : 読み取り画素間隔

$N * m = D$. d を求めると、整数部 D より遅延ライン数を、小数部 d よりタイミング SH_1 、 SH_2 、 SH_3 、 SH_1' を求めることができる。

【 0 0 1 9 】

ラインイメージセンサ 2 B の読み取りデータのライン補正メモリ 6 B への書き込みタイミングを SH_1 とし、これを基準として、このラインイメージセンサ 2 B が読み取っている原稿位置と同じ位置に対応するラインイメージセンサ 2 G、2 R の読み取りデータのライン補正メモリ 6 G、6 R への書き込みタイミング (SH) を求める。

【 0 0 2 0 】

タイミング SH は、 $N * m$ を算出した結果 D . d の小数部 d によって、次の条件により、求める。

【 0 0 2 1 】

$SH_1 : 0 \leq d < 1 / 6$

$$SH_2 : 1/6 \leq d < 3/6$$

$$SH_3 : 3/6 \leq d < 5/6$$

$$SH_1' : 5/6 \leq d < 1$$

上記した $N * m$ を求めるためのテーブル、及び d から SH を求めるためのテーブルを制御部 7 に備えておき、 $N * m = D$ 、 d を制御部 7 で求め、ラインイメージスキャナの変倍率に応じた遅延ライン数及び副走査位置補正（最適 SH ）を選択し、各補正を実現する。

【 0 0 2 2 】

例えば、図 3 に示すラインイメージセンサ $R - B$ 間のライン数 = 4、ラインイメージセンサ $G - B$ 間のライン数 = 2 で、変倍率が 1 0 0 % の場合は、

$R - B$ 間については、

$$N * m = 1.00 * 4 / 1 = 4.0 \text{ となり、 } (R - B) D \text{ (整数部)} = 4、$$

$$d \text{ (小数部)} = 0 \text{ となる。}$$

【 0 0 2 3 】

又、 $G - B$ 間については、

$$N * m = 1.00 * 2 / 1 = 2.0 \text{ となり、 } (G - B) D \text{ (整数部)} = 2、$$

$$d \text{ (小数部)} = 0 \text{ となる。}$$

【 0 0 2 4 】

この場合は、等倍なので、図 5 に示す通り、ラインイメージセンサ 2 B に対してラインイメージセンサ 2 R の読み取りデータを 4 ライン分、ラインイメージセンサ 2 G の読み取りデータを 2 ライン分遅延させるだけで良く、副走査方向の位置補正は不要である。

【 0 0 2 5 】

次に、ラインイメージセンサ間のライン数が同じで、変倍率が 1 2 5 % の場合は、

$R - B$ 間については、

$$N * m = 1.25 * 4 / 1 = 5.0 \text{ となり、 } (R - B) D \text{ (整数部)} = 5、$$

$$d \text{ (小数部)} = 0 \text{ となる。}$$

【 0 0 2 6 】

又、G-B間については、

$$N * m = 1.25 * 2 / 1 = 2.5 \text{ となり、} (G-B) D (\text{整数部}) = 2、$$

$$d (\text{小数部}) = 0.5 \text{ となる。}$$

【0027】

そのため、図6に示す通り、ラインイメージセンサ2Bに対して、ラインイメージセンサ2Rの読み取りデータを5ライン分、ラインイメージセンサ2Gの読み取りデータを2.5ライン分遅延させる。

【0028】

また、ラインイメージセンサ2Rの読み取りデータのライン補正メモリ6Rへの書き込みタイミングは、 $d = 0$ なので、ラインイメージセンサ2Bと同様、タイミング信号SH1が選択されるが、ラインイメージセンサ2Gの読み取りデータのライン補正メモリ6Gへの書き込みタイミングは、 $d = 0.5$ なので、上記条件式より、タイミング信号SH3が選択される。

【0029】

また、同じくR-B間のライン数=4、G-B間のライン数=2であり、変倍率が200%の時は、R-B間については、

$$N * m = 2.0 * 4 / 1 = 8.0 \text{ となり、} (R-B) D (\text{整数部}) = 8、$$

$$d (\text{小数部}) = 0 \text{ となる。又はG-B間については、}$$

$$N * m = 2.0 * 2 / 1 = 4.0 \text{ となり、} (G-B) D (\text{整数部}) = 4、$$

$$d (\text{小数部}) = 0 \text{ となる。}$$

【0030】

そのため、図6に示すように、ラインイメージセンサ2Bに対して、ラインイメージセンサ2Rの読み取りデータを8ライン分、ラインイメージセンサ2Gの読み取りデータを4ライン分遅延させる。また、R-B間、G-B間とも小数点 $d = 0$ なので、副走査方向の位置補正は不要である。この場合、G信号、R信号ともSH1が選択される。

【0031】

更に、ラインイメージセンサ間のライン数が同じで、変倍率が50%の時は、R-B間については、

$N * m = 0.5 * 4 / 1 = 2.0$ となり、 $(R - B) D$ (整数部) = 2
、 d (小数部) = 0 となる。又は $G - B$ 間については、

$N * m = 0.5 * 2 / 1 = 1.0$ となり、 $(G - B) D$ (整数部) = 1、
 d (小数部) = 0 となる。

【0032】

そのため、図5に示すように、ラインイメージセンサ2Bに対して、ラインイメージセンサ2Rの読み取りデータを2ライン分、ラインイメージセンサ2Gの読み取りデータを1ライン分遅延させる。また、 $R - B$ 間、 $G - B$ 間とも小数点 $d = 0$ なので、やはり副走査方向の位置補正は不要である。この場合もやはりG信号、R信号とも、SH1が選択される。

【0033】

図7～図10に、上記した $R - B$ 間が4ライン、 $G - B$ 間が2ラインで、変倍率がそれぞれ50%、100%、125%、200%の場合の時間の経過と各イメージセンサの位置を示している。特に、図9の125%の場合を参照すると、従来のライン数のみによる補正に、ライン間を更に複数に分割して補正する本発明の方がより同一の走査線上に近いR信号、G信号、B信号を一致させて出力することができる。

【0034】

【発明の効果】

この発明によれば、複数の読み取り周期のいずれを選択するか、ライン補正メモリの遅延量のいずれを選択するかにより、所定の変倍率を達成できるため、回路規模を増大させることなく、ひいては低コストのカラー画像処理装置を提供することができる。いずれの周期、ライン遅延を選択するかは簡単な計算で決まる。周期の選択も、その計算に基づき、テーブルを引くことにより簡単に決定することができる。

【図面の簡単な説明】

【図1】

この発明の一実施形態であるカラー画像読取装置の構成を示すブロック図である。

【図 2】

同実施形態カラー画像読取装置の読み取りタイミング信号を示すタイムチャートである。

【図 3】

同実施形態カラー画像読取装置における 1 G a p とラインイメージセンサのライン補正及び副走査位置補正を説明する概念図である。

【図 4】

同実施形態カラー画像読取装置におけるタイミング S H の選択を説明する概念図である。

【図 5】

同実施形態カラー画像読取装置における変倍率 5 0 %、1 0 0 % の場合のライン遅延及び読み取りタイムチャートを説明するタイムチャートである。

【図 6】

同実施形態カラー画像読取装置における変倍率 1 2 5 %、2 0 0 % の場合のライン遅延及び読み取りタイムチャートを説明するタイムチャートである。

【図 7】

カラー画像読取装置の変倍率 5 0 % 時における時間の経過とラインイメージセンサの位置関係を示す図である。

【図 8】

カラー画像読取装置の変倍率 1 0 0 % 時における時間の経過とラインイメージセンサの位置関係を示す図である。

【図 9】

カラー画像読取装置の変倍率 1 2 5 % 時における時間の経過とラインイメージセンサの位置関係を示す図である。

【図 1 0】

カラー画像読取装置の変倍率 2 0 0 % 時における時間の経過とラインイメージセンサの位置関係を示す図である。

【符号の説明】

1 B

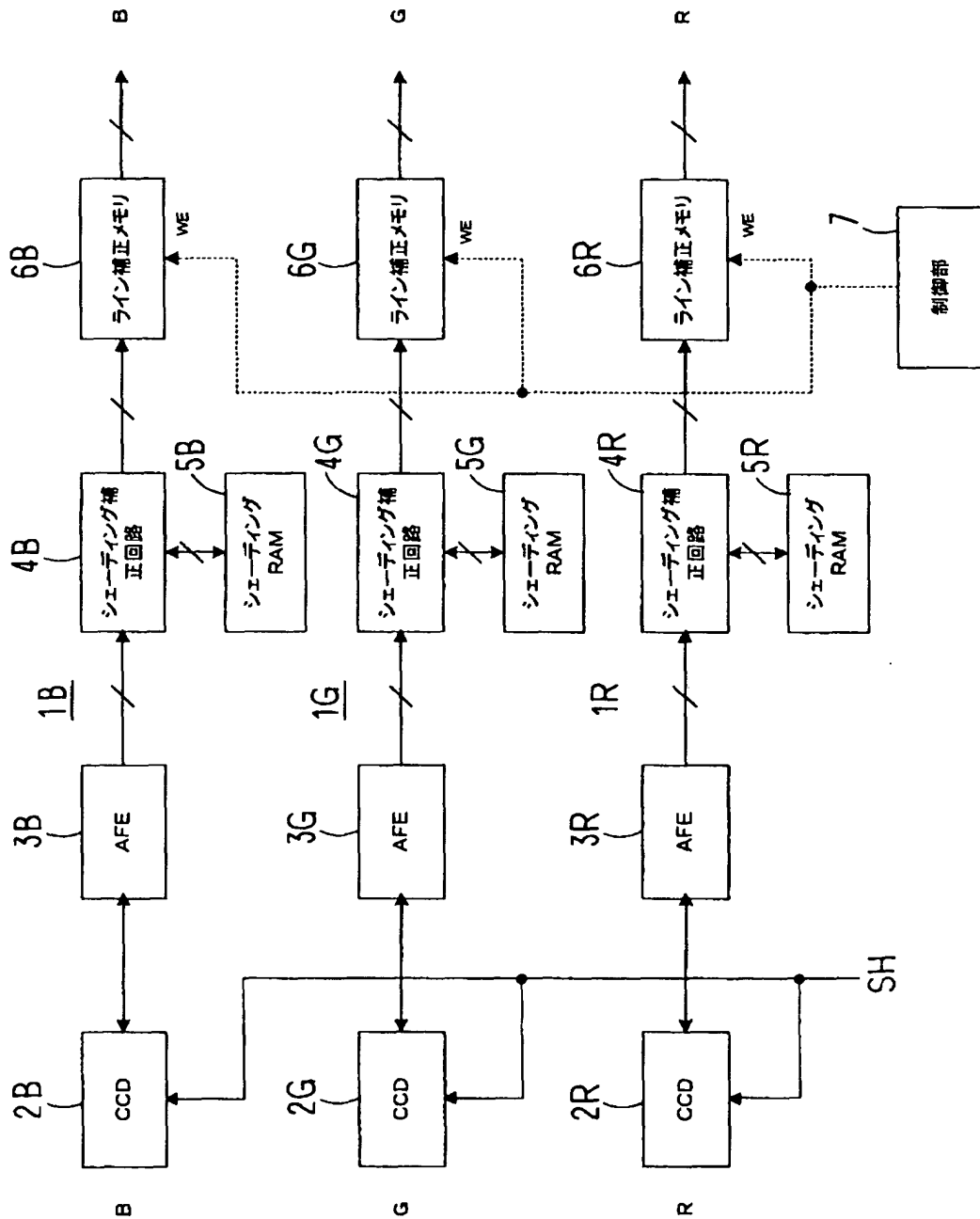
B 信号処理回路

1 G	G 信号処理回路
1 R	R 信号処理回路
2 B、2 G、2 R	ラインイメージセンサ
3 B、3 G、3 R	アナログフロントエンド回路
4 B、4 G、4 R	シェーディング補正回路
5 B、5 G、5 R	シェーディング R A M
6 B、6 G、6 R	ライン補正メモリ
7	制御部

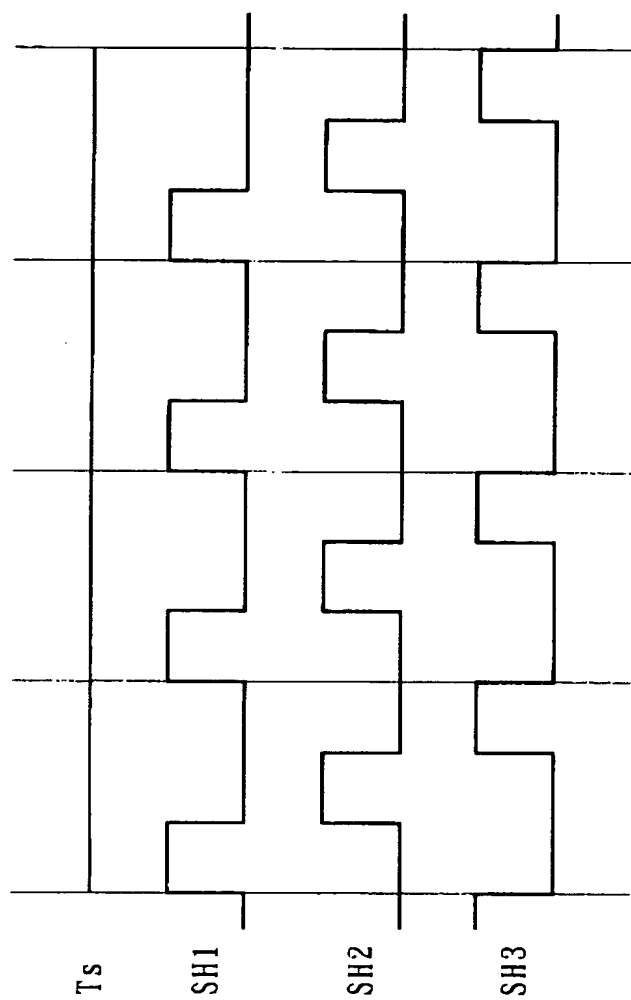
【書類名】

図面

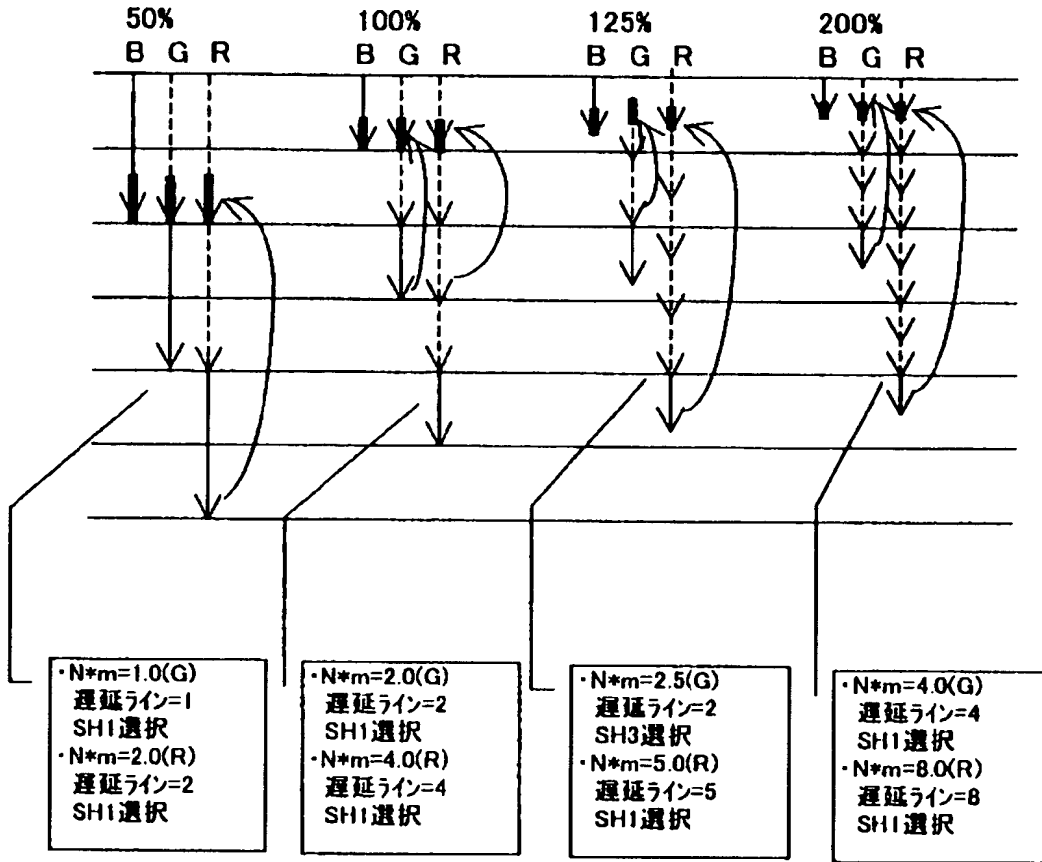
【図 1】



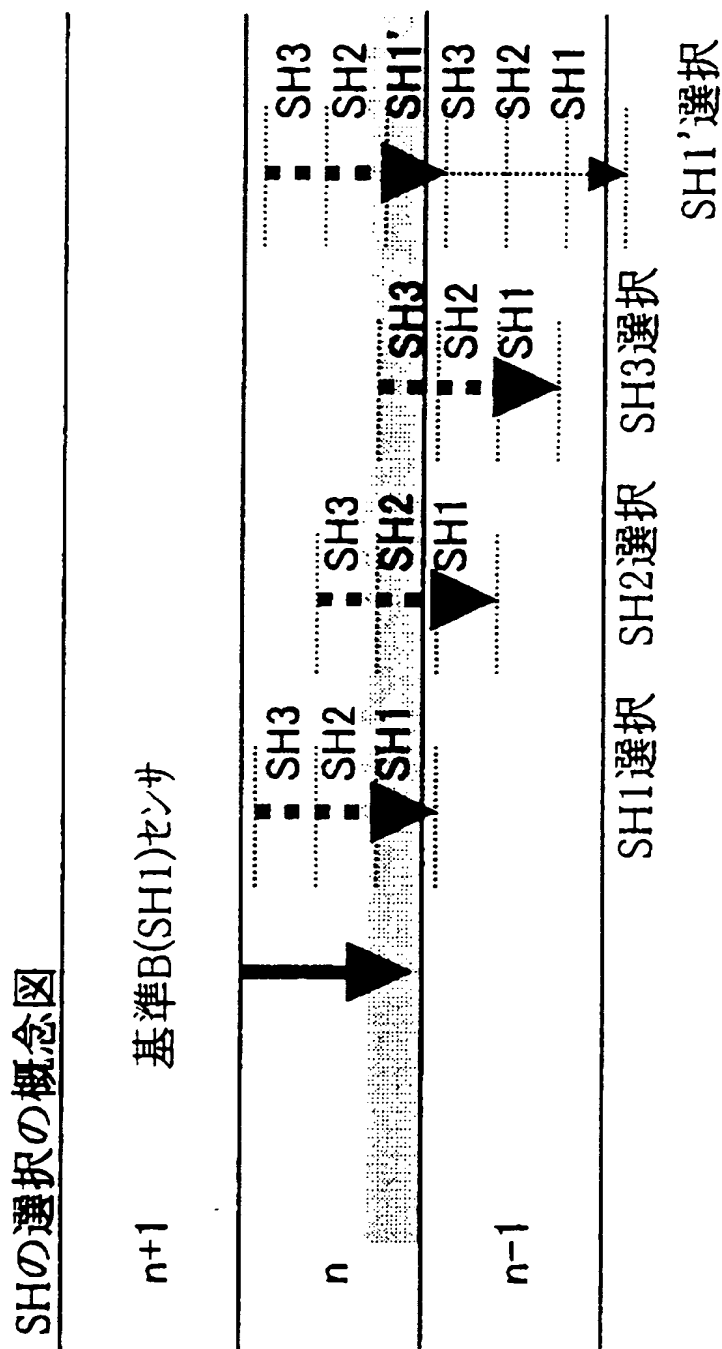
【図 2】



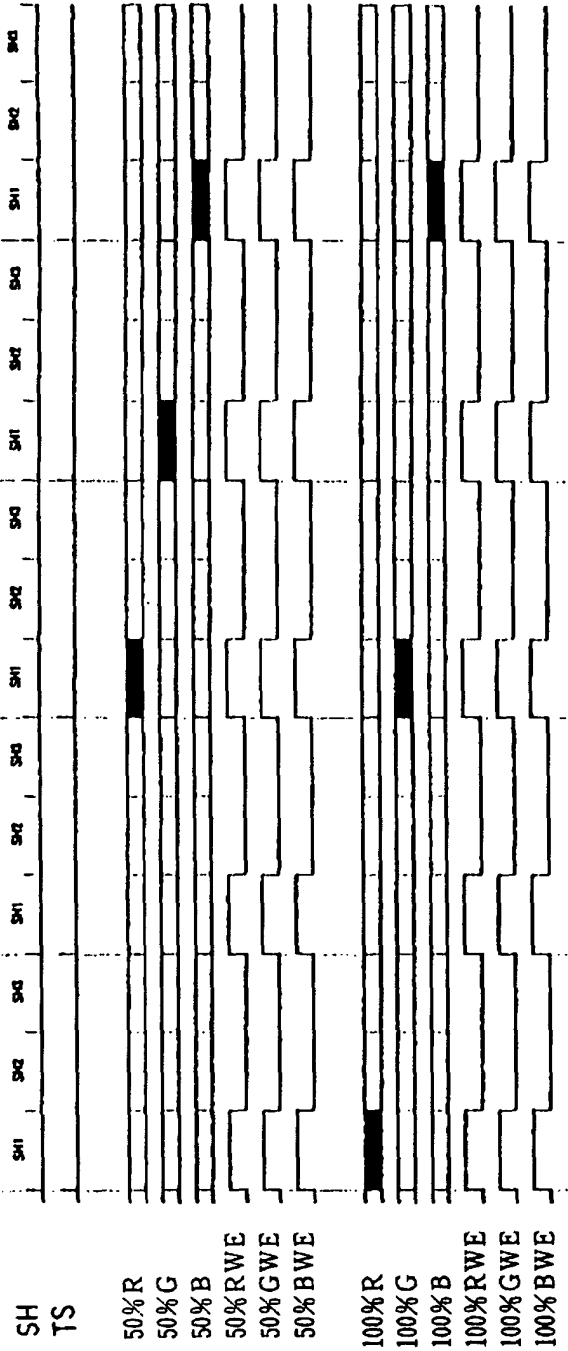
【図 3】



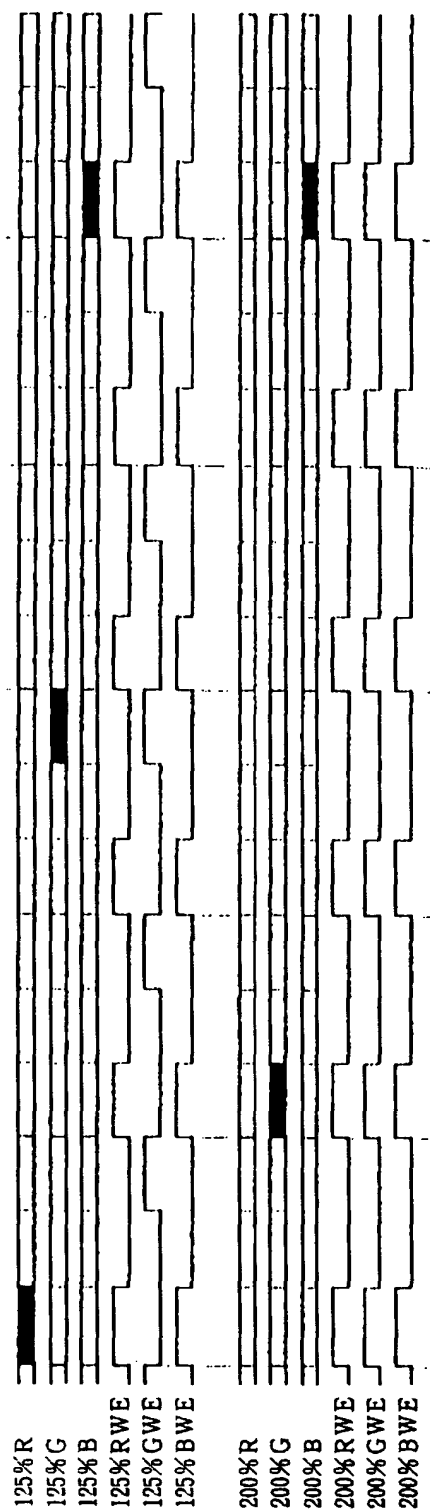
【図 4】



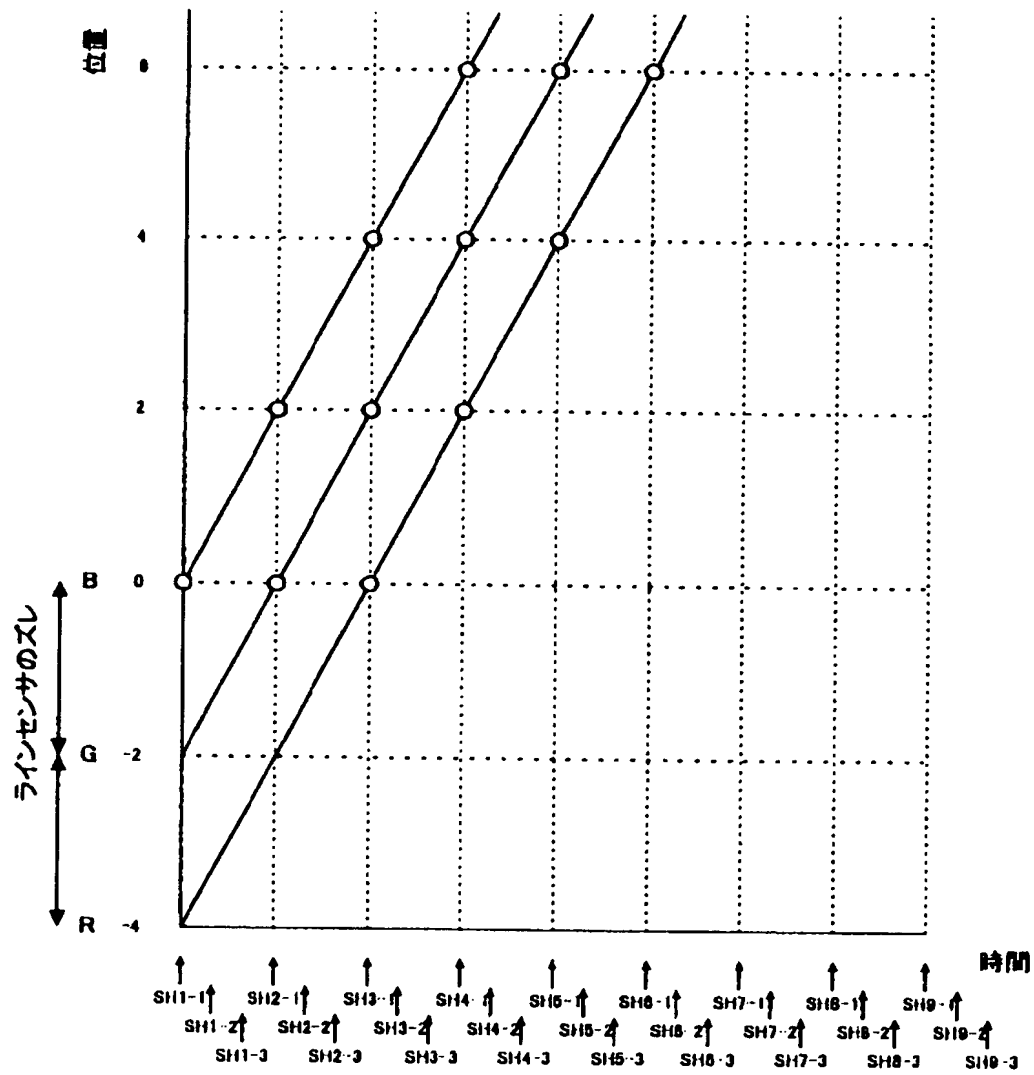
【図 5】



【図 6】

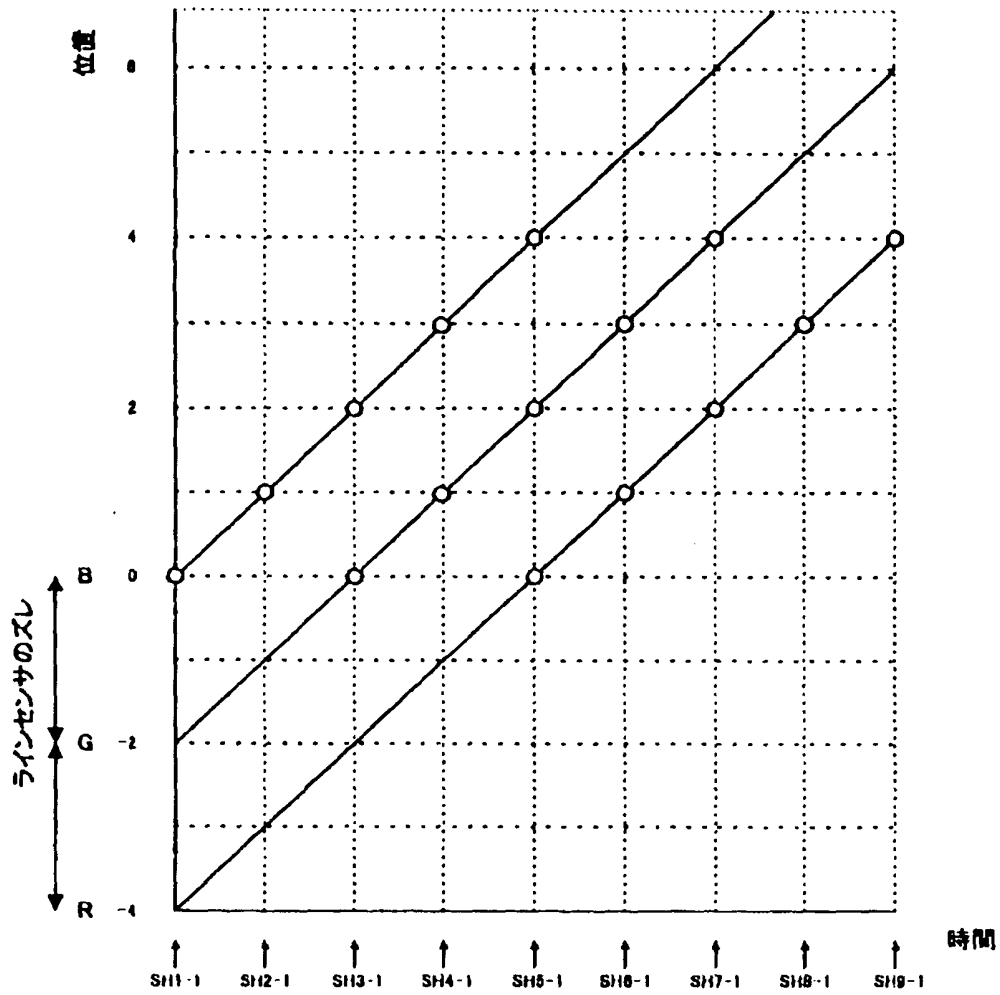


【図 7】



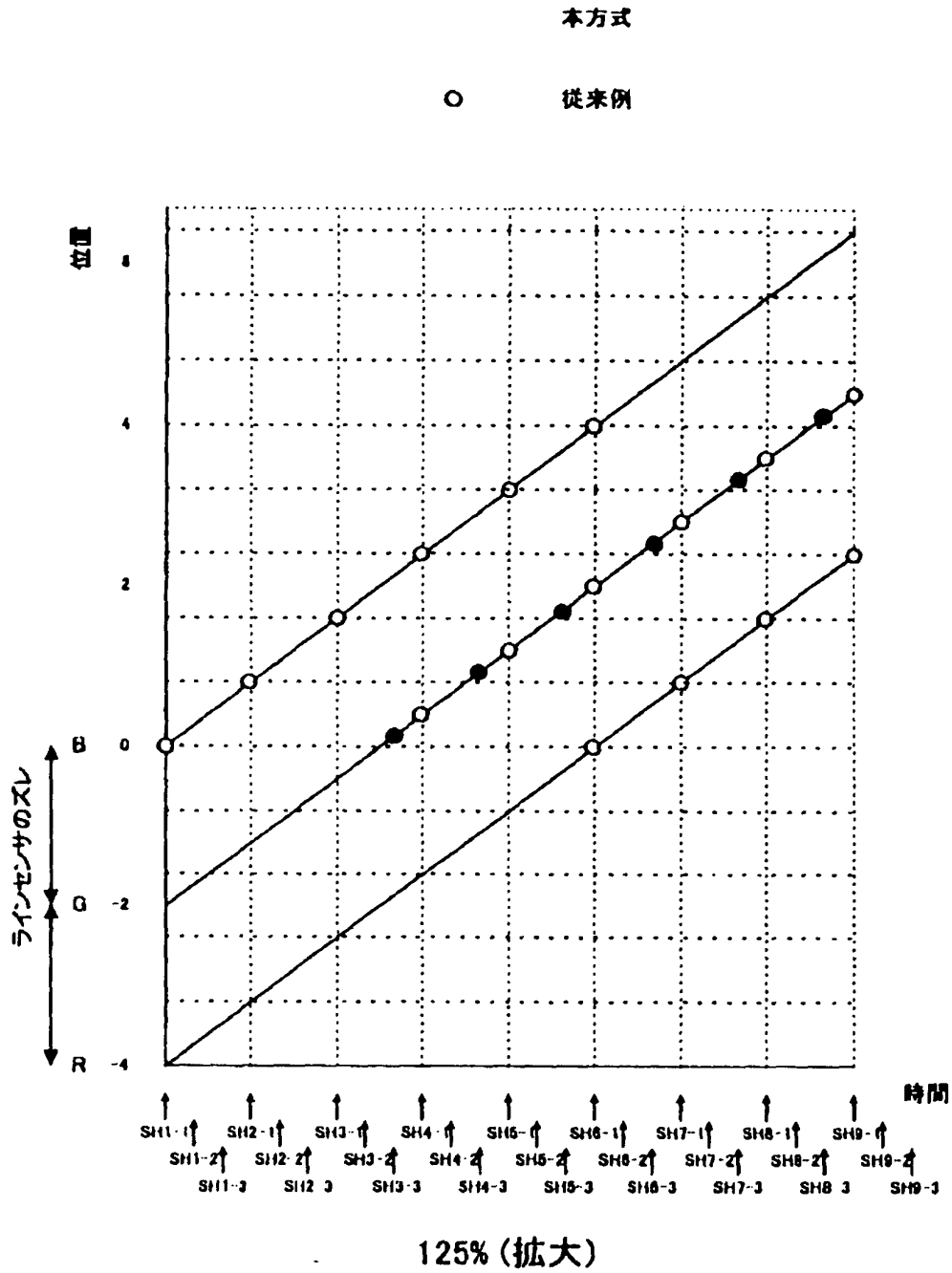
50% (縮小)

【図 8】

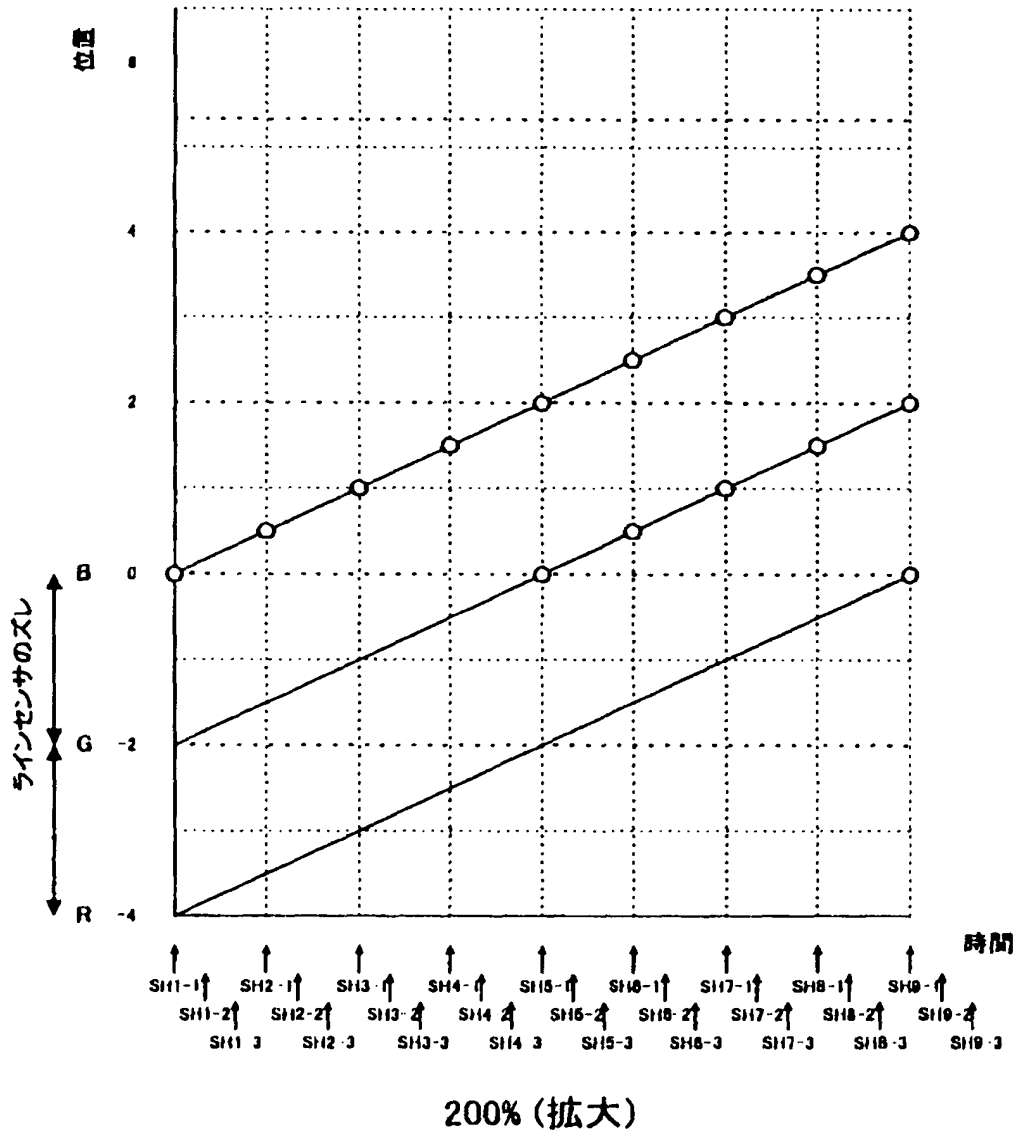


100% (等倍)

【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 回路規模を拡大させることなく、低コストで所定の変倍率を達成できるカラー画像処理装置を提供する。

【解決手段】 制御部 7 で $N \cdot L / P = D$ 、 d を算出し（ N ：変倍率、 L ：センサ間隔、 P ：画素ピッチ、 D ：整数部、 d ：小数部）、各ラインイメージセンサ 2 B、2 G、2 R から画像データを読み取り、ライン補正メモリ 6 B、6 G、6 R に書き込む際に、1 ライン走査周期を更に複数周期（ SH_1 、 SH_2 、 SH_3 ）に分割し、ライン補正メモリ 6 B を基準 SH_1 として、他のライン補正メモリ 6 G、6 R は小数部 d で決まる周期 SH_1 、 SH_2 、 SH_3 で書き込み、更に、ライン補正メモリ 6 G、6 R は、ライン補正メモリ 6 B を基準にして、前記整数部 D のライン数だけ遅延させて、G データ、R データを出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 2 9 7]

1. 変更年月日 1 9 9 0 年 8 月 7 日

[変更理由] 新規登録

住 所 京都府京都市南区吉祥院南落合町 3 番地

氏 名 村田機械株式会社